

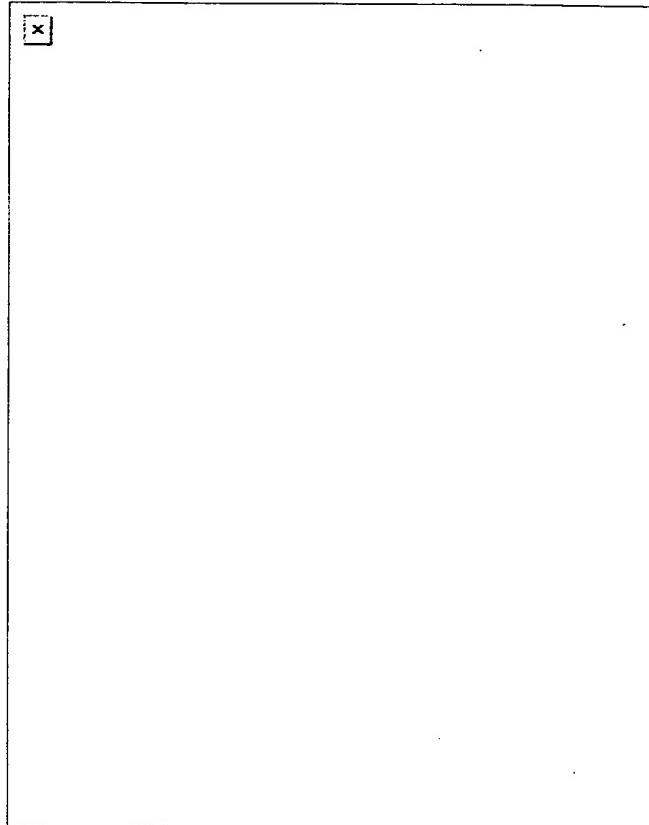
OUTPUT CIRCUIT

Patent number: JP2002135102
Publication date: 2002-05-10
Inventor: HATANO SUSUMU; KUSABA CHIHOKO
Applicant: HITACHI LTD.; HITACHI ULSI SYSTEMS CO LTD
Classification:
- international: H03K19/0175; G11C11/409; G11C16/06; H04L25/02
- european:
Application number: JP20000324907 20001025
Priority number(s):

Abstract of JP2002135102

PROBLEM TO BE SOLVED: To provide an output circuit that holds a slew rate at a high speed, while keeping the impedance value suitable, and can conduct the adjustment of the slew rate and impedance separately.

SOLUTION: This is output driver, having a one shot driver function that is comprised of a PMOS transistor Tp1 and two NMOS transistors Tn1 and Tn2 and then an output signal OUT drives the PMOS transistor Tp1 by an input signal/Dp from a first one-shot pulse and then after achieving fast rise time that sets the slew rate, and by driving the NMOS transistor Tn1 and Tn2 by an input signals D, /D decides the output voltage level setting the impedance and sets the slew rate and impedance separately.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-135102

(P2002-135102A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl.
H 03 K 19/0175
G 11 C 11/409
16/06
H 04 L 25/02

識別記号

F I
H 04 L 25/02
H 03 K 19/00
G 11 C 11/34
17/00
H 03 K 19/00
S 5 B 0 2 4
1 0 1 F 5 B 0 2 5
3 5 4 Q 5 J 0 5 6
6 3 6 B 5 K 0 2 9
1 0 1 Q

テマコト*(参考)

審査請求 未請求 請求項の数1 OL (全9頁)

(21) 出願番号 特願2000-324907(P2000-324907)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成12年10月25日 (2000.10.25)

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 波多野 進

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 简井 大和

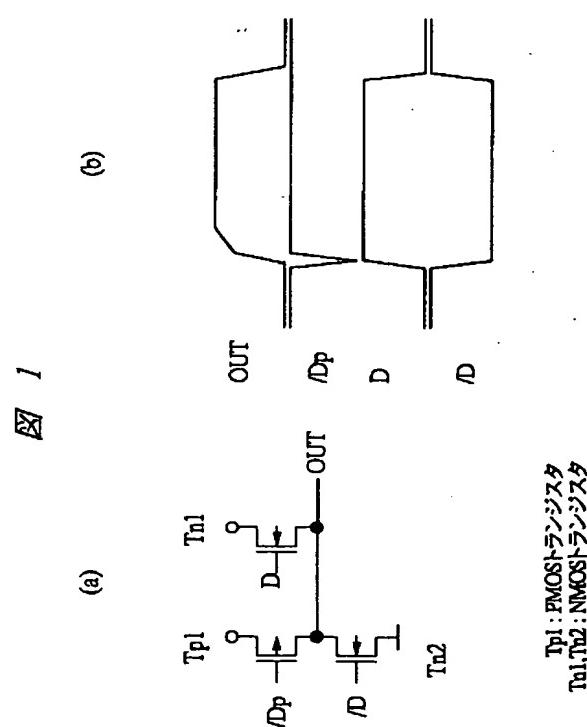
最終頁に続く

(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】 スルーレートとインピーダンスの調整を個別に実施できるようにして、インピーダンスを適正に保ちながらスルーレートを高速に維持することができる出力回路を提供する。

【解決手段】 1ショットドライブ機能付き出力ドライバであって、PMOSトランジスタTp1と、2個のNMOSトランジスタTn1, Tn2の組み合わせからなり、出力信号OUTは、最初の1ショットパルスによる入力信号/DpでPMOSトランジスタTp1を駆動することによってスルーレートを決める早い立ち上がり時間を実現させた後、入力信号D, /DでNMOSトランジスタTn1, Tn2を駆動することによってインピーダンスを決める出力電圧レベルを確立させることにより、スルーレートとインピーダンスを個別に設定する。



【特許請求の範囲】

【請求項1】 第1の電圧レベルで駆動するスルーレート調整用の第1のトランジスタと、第2の電圧レベルで駆動するインピーダンス調整用の第2のトランジスタとを有し、

前記第1のトランジスタを1ショットパルスで駆動してスルーレートを決める早い立ち上がり時間を実現させた後、前記第2のトランジスタを駆動してインピーダンスを決める出力電圧レベルを確立させることを特徴とする出力回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、出力回路の技術に關し、特にインピーダンスを考慮したスルーレートの制御による高速動作に好適な出力回路に適用して有効な技術に関する。

【0002】

【従来の技術】 本発明者が検討した技術として、従来の出力回路については、以下のような技術が考えられる。たとえば、出力回路としては、PMOSトランジスタとNMOSトランジスタからなるCMOS型や、2個のNMOSトランジスタからなるNMOS型などが一般的に知られている。なお、このような出力回路に関する技術としては、たとえば1990年5月25日、株式会社岩波書店発行の「岩波情報科学事典」P308(CMOS回路)に記載される技術などが挙げられる。

【0003】

【発明が解決しようとする課題】 ところで、前記のような出力回路の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。図12、図13により、本発明者が検討した内容を説明する。図12、図13は、本発明者が検討した、本発明の前提となるプッシュプル出力回路を示す回路図および出力波形図である。

【0004】 図12(a)は、PMOSトランジスタTp101とNMOSトランジスタTn101からなるCMOS型出力回路であり、PMOSトランジスタTp101およびNMOSトランジスタTn101が入力信号Dで共通に駆動され、接続ノードから出力信号OUTが出力される。このCMOS型出力回路では、図12

(b)のように出力電圧が“H”状態になんしてもPMOSトランジスタTp101がオフしないため、オーバーシュートし易い構成となっている。

【0005】 図13(a)は、2個のNMOSトランジスタTn201、Tn202からなるNMOS型出力回路であり、NMOSトランジスタTn201が入力信号Dで、NMOSトランジスタTn202が入力信号/Dでそれぞれ駆動され、接続ノードから出力信号OUTが出力される。このNMOS型出力回路では、スルーレートとインピーダンスの調整が独自に行えないため、スル

ーレートを上げながら、インピーダンスも同時に適正に保つことができない。今後、システムバスの高速化に伴い、多重反射を防ぐためにインピーダンスを適正に保ちながらスルーレートを最適に維持する必要がある。

【0006】 そこで、本発明の目的は、スルーレートとインピーダンスの調整を個別に実施できるようにして、インピーダンスを適正に保ちながらスルーレートを高速に維持することができる出力回路を提供するものである。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】 本発明は、出力ドライバのスルーレートとドライバのインピーダンスの調整を1ショットのパルスで駆動するトランジスタのサイズを使い、個別に実施できるようにしたり、または外部から読み書き可能なレジスタを使い、“L”(低電圧レベル)に駆動するドライバと“H”(高電圧レベル)に駆動するドライバとのスルーレートとインピーダンスを独立して設定可能とするものである。

【0010】 すなわち、本発明の出力回路は、以下のようないくつかの特徴を有するものである。

【0011】 (1) 出力波形の制御のため、“H”駆動トランジスタと“L”駆動トランジスタでそれぞれNMOSトランジスタ、PMOSトランジスタを組み合わせて動作させる出力回路において、最初にPMOSトランジスタにて1ショットパルスで駆動した後、NMOSトランジスタで出力電圧レベルを確立させるように構成したものである。

【0012】 (2) 1ショットパルスで出力トランジスタを動作させ、高スルーレートを達成するように構成したものである。

【0013】 (3) “H”駆動トランジスタと“L”駆動トランジスタでそれぞれの複数の常時オン、パルス駆動トランジスタを別々に駆動可能とし、所望の波形を出力する回路構成としたものである。

【0014】 よって、前記出力回路によれば、出力回路のスルーレートと出力回路のインピーダンスの調整を個別に実施できる。この結果、多重反射を防ぐためにインピーダンスを適正に保ちながらスルーレートを高速に維持することによりタイミングマージンを多く確保できるため、より高速動作させることができる。

【0015】

【発明の実施の形態】 以下、本発明の実施の形態を図面に基づいて詳細に説明する。図1は本発明の一実施の形態の出力回路を示す回路図および波形図、図2は本実施

の形態の出力回路の反射制御タイミングを示す説明図、図3は出力回路を含む駆動回路を示すブロック図、図4は出力回路を含む駆動回路を有するメモリシステムを示すブロック図、図5、図6は出力回路の変形例を示す回路図、図7、図8は出力回路のレジスタ設定をプログラマブルとした場合を示すブロック図と説明図、図9～図11は出力回路の実施回路を示す回路図と波形図である。

【0016】まず、図1により、本実施の形態の出力回路の一例の構成および動作を説明する。本実施の形態の出力回路は、たとえば1ショットドライブ機能付き出力ドライバとされ、図1(a)のように、PMOSトランジスタTp1と、2個のNMOSトランジスタTn1、Tn2の組み合わせからなり、PMOSトランジスタTp1、NMOSトランジスタTn1の一方が電源電位に、NMOSトランジスタTn2の一方が接地電位にそれぞれ接続され、PMOSトランジスタTp1、NMOSトランジスタTn1、Tn2の他方が共通に接続されて構成されている。

【0017】この出力回路においては、PMOSトランジスタTp1が入力信号/Dpで、NMOSトランジスタTn1が入力信号Dで、NMOSトランジスタTn2が入力信号/Dでそれぞれゲート制御され、PMOSトランジスタTp1、NMOSトランジスタTn1、Tn2が共通に接続された接続ノードから出力信号OUTが出力される。

【0018】この出力回路において、図1(b)のように、PMOSトランジスタTp1は負の1ショットパルスの入力信号/Dpで駆動し、NMOSトランジスタTn1は1ショットパルスのタイミングで立ち上がる正の入力信号Dで駆動し、NMOSトランジスタTn2は1ショットパルスのタイミングで立ち下がる負の入力信号/D(Dの反転信号)で駆動する。これにより、出力信号OUTは、最初の1ショットパルスによる入力信号/Dpの駆動によって早い立ち上がり時間を実現させた後、入力信号D、/Dの駆動によって出力電圧レベルを確立させる。すなわち、この出力回路では、スルーレートを決める早い立ち上がり時間は1ショットパルスの信号/Dpで発生させ、出力回路のインピーダンスは信号D、/Dにて制御される。従って、スルーレートとインピーダンスを個別に設定することが可能となる。

【0019】次に、図2により、本実施の形態の出力回路の反射制御タイミングの一例を説明する。一般的に、出力回路からの信号は伝送路上のインピーダンスが変化する所で反射する。通常、出力回路のインピーダンスが伝送路と合っていないと、反射して戻って来た信号が再反射し、波形を劣化させる。これを防ぐために、本実施の形態においては、出力回路が駆動した後、反射信号が戻って来る前に高スルーレートを達成するために使った1ショットパルスの信号/Dpを止め、出力回路のイン

ピーダンスを伝送路のインピーダンスに合わせておく。

【0020】すなわち、高速伝送時に問題となる反射波を防ぐにはドライバのインピーダンスを伝送線のインピーダンスおよびレシーバのインピーダンスと合わせる必要がある。従って、たとえば後述するようなメモリバスなどで複数のDIMMが実装されるバスのインピーダンスが低下した場合は、メモリコントローラのインピーダンスを下げて反射によるノイズを低減することができる。高速動作では、タイミングマージンが数百ps以下となり、入力波形のスルーレートが下がると入力回路動作が遅くなり、セットアップ/ホールド時間などのタイミングが減少する。従って、出力波形のスルーレートも適正に維持する必要がある。

【0021】従来は、オンするトランジスタのサイズでドライバのインピーダンスとスルーレートを制御していたので、高スルーレート=低インピーダンスになってしまふ。ところが今後、低電力化のために高インピーダンスで、かつ高速動作させるには、高スルーレートでかつ高インピーダンスのドライバが必要になる。高速動作時にはサイクル時間が短くなるため、スルーレートで決まる遷移時間を最短にして有効な情報を、より長い間バスに残したい。そこで、本実施の形態のように、1ショットパルスでドライバを駆動すると、出力立ち上がり時にパルス駆動し、高スルーレートを確保すると同時に、反射が戻って来るときまでに高スルーレートドライバはオフになっており、多重反射を防ぐことができる。このとき、高スルーレートドライバの駆動パルス幅は駆動するバスの長さの伝送時間の2倍以内にする必要がある。

【0022】次に、図3により、本実施の形態の出力回路を含む駆動回路の一例の構成および動作を説明する。駆動回路は、高速で駆動するための設定用の回路部分と、高速で駆動するための回路部分から構成されている。高速で駆動するための設定用の回路部分には、中速系信号を受けて動作する、アドレス入力回路1、コマンドデコーダ2、レジスタ3、プログラマブル電源4などが設けられている。また、高速で駆動するための回路部分には、データラッチ回路5、出力制御論理回路6、前述した出力回路を有する可変出力回路7などが設けられている。

【0023】この駆動回路において、高速で駆動するための回路部分の可変出力回路7には、データラッチ回路5、出力制御論理回路6からの信号や、高速で駆動するための設定用の回路部分のレジスタ3、プログラマブル電源4からの信号がそれぞれ入力され、高速系信号が出力信号として出力される。

【0024】次に、図4により、本実施の形態の出力回路を含む駆動回路を有するメモリシステムの一例の構成および動作を説明する。メモリシステムは、メモリコントローラ11と、このメモリコントローラ11に接続されたメモリバス上に接続される、メモリ(SDRAM,

DDR DRAMなど)である複数のDIMM12

(1)～12(n)などから構成されている。このメモリシステムにおいて、メモリコントローラ11、DIMM12(1)～12(n)の出力回路部分には、前述した出力回路を含む駆動回路が設けられ、メモリコントローラ11とDIMM12(1)～12(n)との間で高速動作が可能となる。

【0025】次に、図5、図6により、本実施の形態における出力回路の変形例を説明する。図5は複数1ショットドライブ機能付き出力回路を示す回路図、図6はプルアップ/プルダウントランジスタの同時オンによる波形制御を行う場合の出力回路を示す回路図および波形図である。

【0026】図5に示すように、複数1ショットドライブ機能付き出力回路は、n個のPMOSトランジスタTp1～Tp1nと、2個のNMOSトランジスタTn11、Tn12の組み合わせからなり、PMOSトランジスタTp11～Tp1nが各入力信号/Dp1～/Dpnで、NMOSトランジスタTn11が入力信号Dで、NMOSトランジスタTn12が入力信号/Dでそれぞれゲート制御され、PMOSトランジスタTp11～Tp1n、NMOSトランジスタTn11、Tn12が共通に接続された接続ノードから出力信号OUTが出力されるように構成されている。この出力回路では、出力信号OUTの早い立ち上がり時間は1ショットパルスの信号/Dp1～/Dpnで発生させ、インピーダンスは信号D、/Dにて制御されるので、きめ細かくスルーレートとインピーダンスを個別に設定することができる。

【0027】図6に示すように、プルアップ/プルダウントランジスタの同時オンによる波形制御を行う場合の出力回路は、n個のPMOSトランジスタTp21～Tp2nと、n個のNMOSトランジスタTn21～Tn2nの組み合わせからなり、PMOSトランジスタTp21～Tp2nが各入力信号/D1～/Dnで、NMOSトランジスタTn21～Tn2nが各入力信号/DN1～/DNnでそれぞれゲート制御され、PMOSトランジスタTp21～Tp2n、NMOSトランジスタTn21～Tn2nが共通に接続された接続ノードから出力信号OUTが出力されるように構成されている。この出力回路では、低インピーダンスを保ちながら、低スルーレートを達成することができる。

【0028】次に、図7、図8により、本実施の形態における出力回路のレジスタ設定をプログラマブルとした場合を説明する。図7はメモリシステムを示すブロック図、図8はレジスタの設定フローにおける設定値を示す説明図である。

【0029】メモリシステムは、図7に示すように、メモリコントローラ21と、メモリ22と、不揮発性メモリ23などから構成されている。このメモリシステムに

おいて、レジスタ設定値の検出は、①電源オン時に初期設定を不揮発性メモリ23から読み出し、②メモリコントローラ21からメモリ22のレジスタ書き込み、③メモリコントローラ21からメモリデータ書き込み数ビット、④メモリ22から上記データ読み込み、⑤書き込みデータと読み込みデータを比較し、⑥差があれば(差がなければ⑧へ)新レジスタ値計算、⑦②に戻り、⑧終了、のフローに基づいて実行する。また、設定最適化のためのシーケンスは、レジスタ設定値を初期値から特定のアルゴリズムを使い変化させ、バス(PASS)領域の確認をした後に、このバス領域のセンタの値となるレジスタ設定値をメモリに設定する(図8)。

【0030】次に、図9～図11により、本実施の形態の出力回路の実施回路の一例の構成および動作を説明する。図9は出力回路の実施回路を示す回路図、図10、図11は動作波形を示す波形図である。

【0031】出力回路の実施回路は、図9に示すように、前述した図1に示す構成を含む、複数のPMOSトランジスタと複数のNMOSトランジスタの組み合わせからなり、前述した図3に示したデータラッチ回路5からのデータDATA、出力制御論理回路6からのイネーブル信号ENB、EN、レジスタ3からの信号IMP0～IMP8、SL0～SL5を入力として、出力信号OUTBが出力されるように構成されている。この出力回路の実施回路において、データDATAの入力に対する各接続ノードa～gの波形、出力信号OUTBの波形は図10および図11のようになる。

【0032】従って、本実施の形態の出力回路によれば、PMOSトランジスタTp1と、NMOSトランジスタTn1、Tn2の組み合わせから構成し、最初の1ショットパルスによる入力信号/DpでPMOSトランジスタTp1を駆動することによって早い立ち上がり時間を実現させた後、入力信号D、/DでNMOSトランジスタTn1、Tn2を駆動することによって出力電圧レベルを確立させることにより、スルーレートとインピーダンスの調整を個別に実施できるので、多重反射を防ぐためにインピーダンスを適正に保ちながらスルーレートを高速に維持することができる。これにより、タイミングマージンを多く確保できるため、より高速動作させることができる。

【0033】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0034】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0035】(1) NMOSトランジスタ、PMOSト

ランジスタを組み合わせて動作させる出力回路において、最初にPMOSトランジスタにて1ショットバルスで駆動した後、NMOSトランジスタで出力電圧レベルを確立させることで、スルーレートとインピーダンスの調整を個別に実施できるので、多重反射を防ぐためにインピーダンスを適正に保ちながらスルーレートを高速に維持することが可能となる。この結果、タイミングマージンを多く確保できるため、より高速動作させることができることが可能な出力回路を実現することができる。

【図面の簡単な説明】

【図1】(a), (b)は本発明の一実施の形態の出力回路を示す回路図および波形図である。

【図2】本発明の一実施の形態の出力回路の反射制御タイミングを示す説明図である。

【図3】本発明の一実施の形態の出力回路を含む駆動回路を示すブロック図である。

【図4】本発明の一実施の形態の出力回路を含む駆動回路を有するメモリシステムを示すブロック図である。

【図5】本発明の一実施の形態の出力回路の変形例として、複数1ショットドライブ機能付き出力回路を示す回路図である。

【図6】(a), (b)は本発明の一実施の形態の出力回路の変形例として、プルアップ/プルダウントランジスタの同時オンによる波形制御を行う場合の出力回路を示す回路図および波形図である。

【図7】本発明の一実施の形態の出力回路のレジスタ設定をプログラマブルとした場合において、メモリシステムを示すブロック図である。

【図8】本発明の一実施の形態の出力回路のレジスタ設定をプログラマブルとした場合において、レジスタの設

定フローにおける設定値を示す説明図である。

【図9】本発明の一実施の形態の出力回路の実施回路を示す回路図である。

【図10】本発明の一実施の形態の出力回路の実施回路の動作波形を示す波形図である。

【図11】本発明の一実施の形態の出力回路の実施回路の動作波形を示す波形図である。

【図12】(a), (b)は本発明の前提となる出力回路を示す回路図および出力波形図である。

【図13】(a), (b)は本発明の前提となる他の出力回路を示す回路図および出力波形図である。

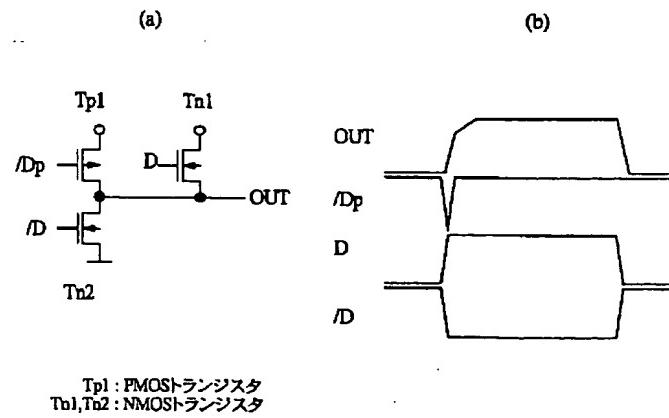
【符号の説明】

- 1 アドレス入力回路
- 2 コマンドデコーダ
- 3 レジスタ
- 4 プログラマブル電源
- 5 データラッチ回路
- 6 出力制御論理回路
- 7 可変出力回路
- 1 1 メモリコントローラ
- 1 2 D I M M
- 2 1 メモリコントローラ
- 2 2 メモリ
- 2 3 不揮発性メモリ

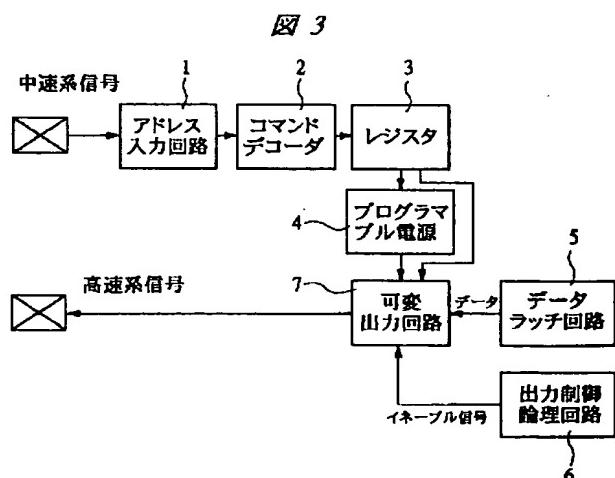
T p 1, T p 1 1 ~ T p 1 n, T p 2 1 ~ T p 2 n, T p 1 0 1 PMOSトランジスタ
T n 1, T n 2, T n 1 1, T n 1 2, T n 2 1 ~ T n 2 n, T n 1 0 1, T n 2 0 1, T n 2 0 2 NMOSトランジスタ

【図1】

図1

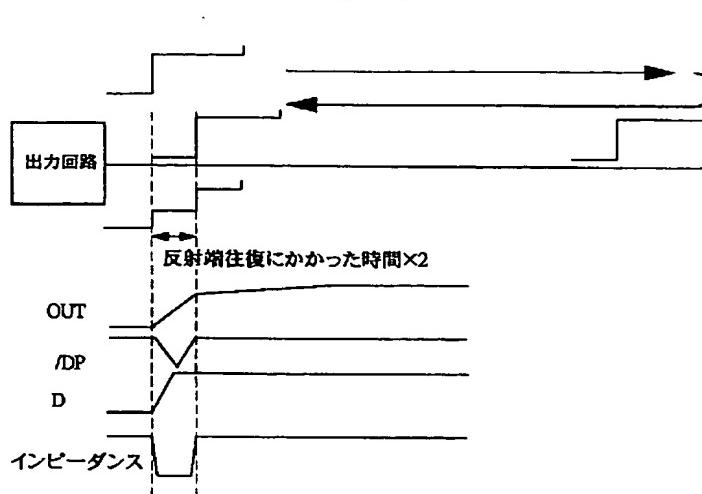


【図3】



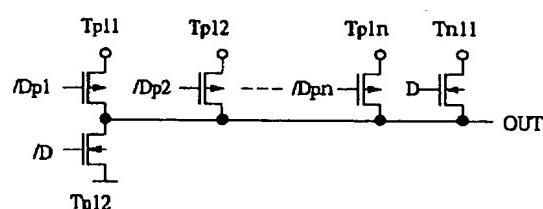
【図2】

図2



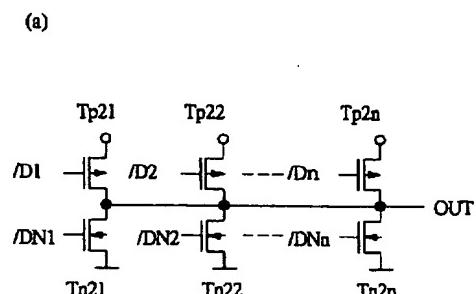
【図5】

図5

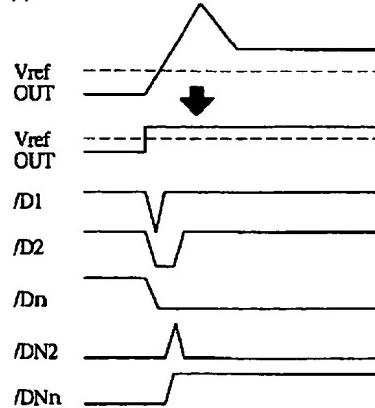


【図6】

図6

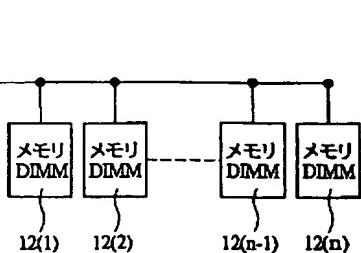


(b)



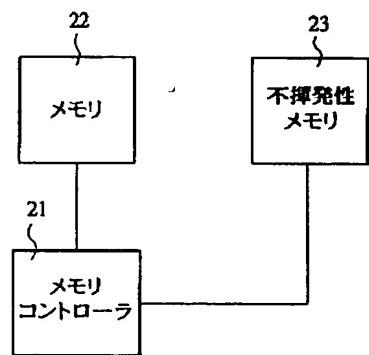
【図4】

図4



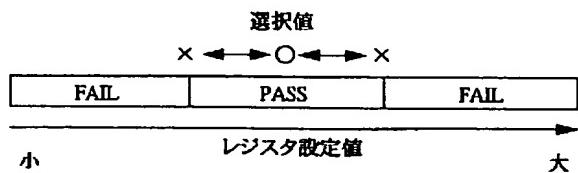
【図7】

図7



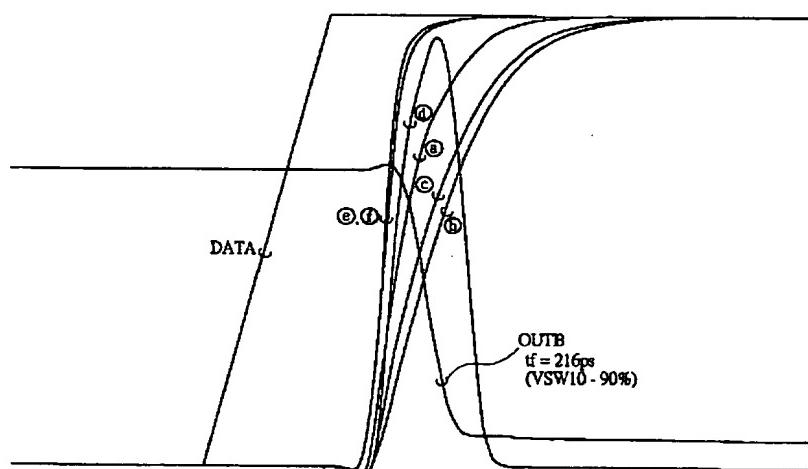
【図8】

図8



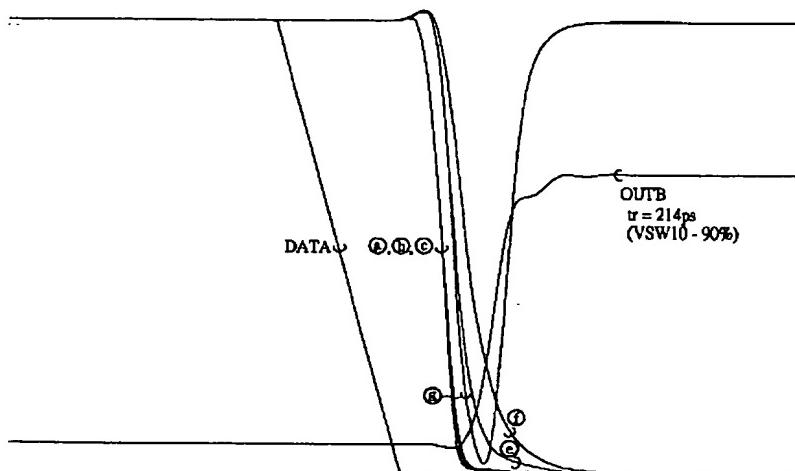
【図10】

図10



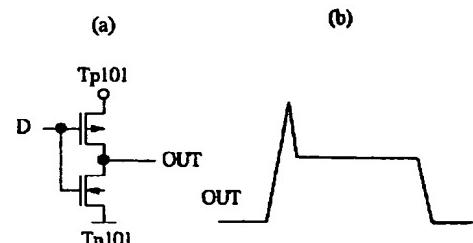
【図11】

図11



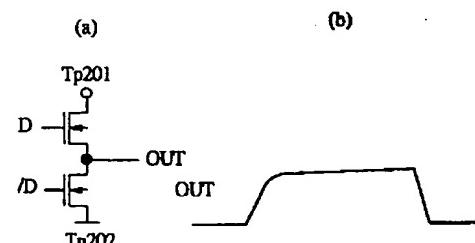
【図12】

図12



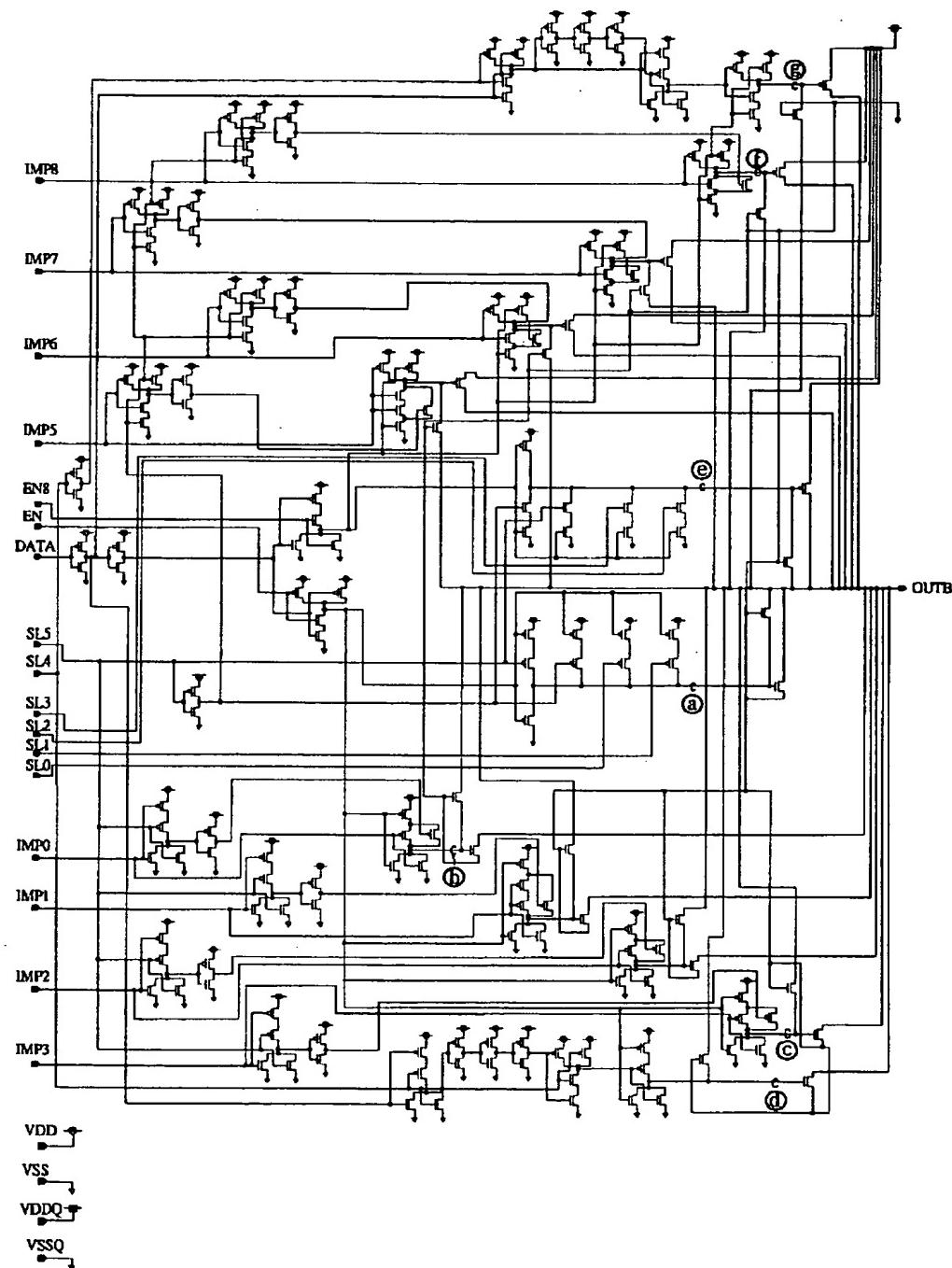
【図13】

図13



【図9】

図9



フロントページの続き

(72)発明者 草場 千穂子
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

F ターム(参考) 5B024 AA03 BA29 CA07
5B025 AD00 AE05 AE08
5J056 AA04 BB02 BB21 BB24 DD13
DD29 EE13 EE14 FF09 KK01
5K029 AA03 DD04 GG07 JJ08